

03 - 256365

**SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**

Patent Number: JP3256365  
Publication date: 1991-11-15  
Inventor(s): ITOGA TAKASHI  
Applicant(s):: SHARP CORP  
Requested Patent: JP3256365  
Application Number: JP19900054243 19900306  
Priority Number(s):  
IPC Classification: H01L29/784  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:** To arrange that the inclination of an electron energy band in the depth direction directly under a gate insulating film becomes gentle and that a channel current flows even in a deep part of a silicon film whose influence by scattering is small by a method wherein a patterned conductive film of Al or the like and an insulating film are formed sequentially on a transparent glass substrate and the silicon film is formed on the insulating film to form a transistor.

**CONSTITUTION:** A P-type polysilicon film 4 doped with boron is formed directly above an Al film 2 via a first insulating film 3 by an SiO<sub>2</sub> film which has been arranged and installed on the whole surface of a transparent glass substrate 1 including the Al film 2 which has been arranged and installed in an element formation region S of the substrate 1. A gate electrode 5 of polysilicon doped with phosphorus at about 10<sup>20</sup>cm<sup>-3</sup> which can form a channel on the p-type polysilicon film by applying a voltage is formed, via a gate insulating film 47, on a part directly above the central part of the silicon film. An Al interconnection part 6 reaching both end parts of the polysilicon film 4 is formed by passing a second insulating film 7 as an interlayer insulating film which has been arranged and installed, so as to cover the gate electrode, on the whole surface of the first insulating film 3 including the p-type polysilicon film 4.

---

Data supplied from the esp@cenet database - I2

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-256365

⑬ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)11月15日

H 01 L 29/784

9056-5F

H 01 L 29/78

3 1 1 X

審査請求 未請求 請求項の数 2 (全6頁)

⑮ 発明の名称 半導体装置およびその製造方法

⑯ 特 願 平2-54243

⑰ 出 願 平2(1990)3月6日

⑱ 発 明 者 糸 賀 隆 志 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑲ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑳ 代 理 人 弁理士 野河 信太郎

#### 明 細 書

##### 1. 発明の名称

半導体装置およびその製造方法

##### 2. 特許請求の範囲

1. 透明ガラス基板と、その透明ガラス基板上の素子形成領域に配設された導電膜と、その導電膜を含む透明ガラス基板全面に配設された第1絶縁膜と、その第1絶縁膜を介して導電膜の直上に形成された實質的に薄膜のシリコン膜と、そのシリコン膜の中央部直上にゲート絶縁膜を介して配設され、電圧の印加によってシリコン膜上にチャネル部を形成しうるゲート電極と、シリコン膜を含む第1絶縁膜上の全面にゲート電極を覆うように配設された第2絶縁膜と、その第2絶縁膜を貫通してシリコン膜の両端部に至る配線部とからなる半導体装置。

2. 透明ガラス基板上の素子形成領域に所定パターンの導電膜を形成し、その導電膜を含む透明ガラス基板全面に第1絶縁膜を形成し、その第1絶縁膜を介して導電膜の直上に所定パターンのシ

リコン膜を形成し、そのシリコン膜の中央部直上にゲート絶縁膜を介して所定パターンのゲート電極を形成し、その後シリコン膜を含む第1絶縁膜上全面にゲート電極を覆うように第2絶縁膜を形成し、シリコン膜の両端部に至る配線部を第2絶縁膜を貫通して形成した半導体装置の製造方法。

##### 3. 発明の詳細な説明

###### (イ) 産業上の利用分野

本発明は半導体装置およびその製造方法に関し、更に詳しくは半導体装置を製造する分野で利用されるガラス基板等の絶縁体基板上に半導体層である多結晶シリコン薄膜を配設してなる薄膜トランジスタおよびその形成方法に関するものである。

###### (ロ) 従来の技術

従来より石英やガラス基板等の非晶質基板上にアモルファス若しくは多結晶等の非単結晶シリコン薄膜を形成した後、炉アニール等を行って多結晶または大結晶粒径のシリコン薄膜を作製する技術が提案されている。

このシリコン薄膜から形成した薄膜トランジス

タは、液晶ディスプレイを動作する上で高度な性能が要求され、盛んに研究されている。

従来、第3図に示すNチャネルMOSFET (TFT) のように、透明ガラス基板21上に直接シリコン膜22が配設された構造のものが提案されている。

なお、23はシリコン膜22の上面側(上方)にゲート絶縁膜26を介して配設された $10^{17}$   $\text{cm}^{-3}$ 程度の不純物をドーピングしたポリシリコンのゲート電極であり、24は層間絶縁膜25を貫通してシリコン膜22に至るメタル配線部である。

この構造のものでは、シリコン膜22をその膜厚を1000Å程度に薄く形成すると、数1000Å程度の厚さの時に比べて電界効果移動度(以下、移動度という)が上昇し、性能がよい薄膜トランジスタが得られることが知られている。これはシリコン膜22を薄く形成するとゲート絶縁膜26直下の電子のエネルギーバンドの勾配が緩やかになり、チャンネルがシリコン膜22の深い処まで形成されるために電荷の表面散乱が少なくなるためだとい

しかしこの方法で得られる薄膜トランジスタTは、特に低温プロセスの場合には、シリコン膜32の上面のゲート絶縁膜37のみならず下面のゲート絶縁膜36にも上面のゲート絶縁膜37と同様に前処理、後処理を施して絶縁膜36の緻密化や界面単位密度の制御を行わねばならないのに加えて下ゲート電極34上の平坦化をおこなうためのプロセスが非常に煩雑になる。

#### (二) 課題を解決するための手段及び作用

この発明は、透明ガラス基板と、その透明ガラス基板上の素子形成領域に配設された導電膜と、その導電膜を含む透明ガラス基板全面に配設された第1絶縁膜と、その第1絶縁膜を介して導電膜の直上に形成された実質的に薄膜のシリコン膜と、そのシリコン膜の中央部直上にゲート絶縁膜を介して配設され、電圧の印加によってシリコン膜上にチャンネル部を形成しうるゲート電極と、シリコン膜を含む第1絶縁膜上の全面にゲート電極を覆うように配設された第2絶縁膜と、その第2絶縁膜を貫通してシリコン膜の両端部に至る配線部と

われている(日経マイクロデバイス1988年3月号、No.33 P.35~37)。

第5図は第3図の構造を有するNチャネルMOSFETのゲート絶縁膜直下の深さ方向の電子のエネルギーを示す図であり、チャンネルが形成されている場合を示している。第5図からエネルギーバンド $E_c$ 、 $E_v$ の傾きが急峻であることが分かる。そのため、チャンネルを流れる電荷は表面散乱の影響を受け易い。

さらに移動度を上昇させるために、シリコン膜の下面側(下方)にもゲート電極を形成したMOSFETの構造を第4図に示す。

すなわち、第4図において、薄膜トランジスタは、例えば、非単結晶のシリコン膜32の上・下両面側にそれぞれ上ゲート電極33、下ゲート電極34を形成し、それによって上ゲート電極33の直下の深さ方向の電子のエネルギーバンドの勾配を緩やかにし、薄膜トランジスタの電子の高移動度化をおこなうようにしたものである。

#### (ハ) 発明が解決しようとする課題

からなる半導体装置が提供される。

すなわち、この発明は、シリコン膜の上面側にゲート電極が配設された半導体装置であって、シリコン膜の下面側に第1絶縁膜を介して導電膜が配設されたものであり、シリコン膜下面のシリコン膜側の深さ方向の電子のエネルギーバンドがベンディングを起こし、上面側のゲート電極から電圧が印加されてチャンネルが形成された時にゲート絶縁膜直下におけるシリコン膜の深さ方向の電子のエネルギーバンドの傾きが緩やかになり、チャンネルがゲート絶縁膜直下におけるシリコン膜の表面だけではなく、シリコン膜の深いところまでわたって形成されるため、チャンネルを流れる電荷が散乱を受け易いシリコン膜表面のみならず、散乱をあまり受けないシリコン膜中をも流れる。

このために、例えば、石英等の透明ガラス基板上に非単結晶シリコン膜を形成して薄膜トランジスタのMOSFETを作った時、高い電界効果移動度が得られ、トランジスタの性能向上を図ることができる。

また、この発明は上記半導体装置の形成方法として、透明ガラス基板上の素子形成領域に所定パターンの導電膜を形成し、その導電膜を含む透明ガラス基板全面に第1絶縁膜を形成し、その第1絶縁膜を介して導電膜の直上に所定パターンのシリコン膜を形成し、そのシリコン膜の中央部直上にゲート絶縁膜を介して所定パターンのゲート電極を形成し、その後シリコン膜を含む第1絶縁膜上全面にゲート電極を覆うように第2絶縁膜を形成し、シリコン膜の両端部に至る配線部を第2絶縁膜を貫通して形成した半導体装置の製造方法が提供される。

すなわち、この発明は、石英等の透明ガラス基板上方にシリコン薄膜を形成し、そのシリコン薄膜にトランジスタを作成して半導体装置を形成する際に、シリコン膜の下に、薄い第1絶縁膜を介してパターンニングした導電膜を形成することによりシリコン膜下面のシリコン膜側の深さ方向の電子エネルギーバンドがベンディングを起こし、適切なゲート電圧の印加によりチャンネルが形成され

た時にゲート絶縁膜直下の深さ方向の電子のエネルギーバンドの傾きが緩やかになることによってチャンネルがシリコン膜中の深いところまで形成され、高い移動度を有するMOSFETを形成することができる。

この発明における透明ガラス基板としては、石英やアルミノ珪酸ガラス ( $Al_2O_3-SiO_2-R_2O$ :  $R$ は1価のアルカリ) あるいはホウケイ酸ガラス ( $B_2O_3-SiO_2-R_2O$ :  $R$ は1価のアルカリ) が好ましいものとして挙げられる。

この発明における導電膜としては、 $Al$ や $Ti$ あるいは $W$ 等の金属膜、 $WSi$ 等の合金膜、さらにはポリシリコンやゲルマニウム等の非金属の導電性膜が好ましいものとして挙げられる。そして、膜厚は $0.2\sim 1.0\mu m$ が好ましく、 $0.5\mu m$ がより好ましい。

この発明における第1絶縁膜としては、 $SiO_2$ 膜あるいは $Si_3N_4$ 膜等が好ましいものとして挙げられる。その膜厚は、 $0.05\sim 1.0\mu m$ が好ましく、 $0.1\mu m$ がより好ましい。

この発明におけるシリコン膜の材料としては、非単結晶や多結晶どちらのシリコンを用いても良く、その膜の不純物ドーピングのための材料は、公知のp型、n型不純物が用いられ、そのドーピング量は、 $10^{18}\sim 10^{19}cm^{-3}$ が好ましい。

この発明において、実質的に薄膜のシリコン膜とは、膜厚が $0.01\sim 0.3\mu m$ の薄膜のものを意味し、それによって電子の移動度を上昇させる。

このシリコン膜は、LPCVD (減圧化学気相成長) 法やPlasma CVD法等の公知の方法を用いて第1絶縁膜上に薄膜形成できる。

また、上記第1絶縁膜及び導電膜も公知技術を用いて形成できる。

この発明におけるゲート絶縁膜および第2絶縁膜としては $SiO_2$ 膜あるいは $Si_3N_4$ 膜等が好ましいものとして挙げられる。

この発明におけるゲート電極としては、例えば、 $10^{18}cm^{-3}$ ドーピングしたポリシリコンや $Al$ あるいは $Ti$ 等の導電性材料を用いるのが好ましい。また、 $WSi$ を用いても良い。

#### (ホ) 実施例

以下図に示す実施例に基づいてこの発明を詳述する。なお、これによってこの発明は限定を受けるものではない。

第1図において、NチャンネルMOSFETは、石英の透明ガラス基板 (以下単に基板という) 1と、その基板上の素子形成領域Sに配設された $Al$ 膜2と、その $Al$ 膜を含む基板1の全面に配設された $SiO_2$ 膜の第1絶縁膜3と、その第1絶縁膜を介して $Al$ 膜2の直上に形成された、厚さ $2000\text{\AA}$ の薄膜で、ホウ素(B)が $10^{18}cm^{-3}$ 程度ドーピングされたp型ポリシリコン膜4と、そのシリコン膜の中央部直上にゲート絶縁膜47を介して配設され、電圧の印加によってp型ポリシリコン膜上にチャンネルを形成しうる $10^{18}cm^{-3}$ 程度のドーピングしたポリシリコンのゲート電極5と、p型ポリシリコン膜4を含む第1絶縁膜3上の全面にゲート電極5を覆うように配設された層間絶縁膜としての第2絶縁膜7と、その第2絶縁膜を貫通してポリシリコン膜4の両端部に至る $Al$ の配線部6とか

ら主としてなる。

このように、本実施例では、石英の基板上にシリコン膜による薄膜トランジスタを形成する際に、シリコン膜の下面に絶縁膜を介してパターニングしたA1のメタル層を形成したものであり、以下その製造方法について説明する。

基板1上の素子形成領域Sに所定パターンのA1膜2をスパッタ法で形成し、そのA1膜を含む基板全面にSiO<sub>2</sub>の第1絶縁膜3をCVD法で形成し、その第1絶縁膜を介してA1膜2の直上に所定パターンのポリシリコン膜をLPCVD法で形成し、p型不純物をドーブした後そのp型ポリシリコン膜4の中央部直上にゲート絶縁膜47を介して所定パターンのゲート電極5を形成し、その後p型ポリシリコン膜4を含む第1絶縁膜上全面にゲート電極5を覆うように第2絶縁膜7を形成し、p型ポリシリコン膜4の両端部に至るA1の配線部6を第2絶縁膜7を貫通して形成する。

以下、動作をゲート絶縁膜直下の深さ方向の電子エネルギーバンド図(第2図参照)を用いて説明す

ンドにおける等エネルギー線の方が、傾きが緩やかであることが分かる。それによって、チャネルを流れる電荷は表面散乱の影響を受け難く、チャネル電流が、散乱の影響が少ないp型ポリシリコン膜4の深い処でも流れるようにでき、高い移動度を有するMOSFETを提供できる。

すなわち、従来例では、ゲート電極5にポリシリコンを用い、素子部のポリシリコン膜が厚さ2000Å、 $N_A=10^{18}\text{cm}^{-3}$ 程度のp型半導体であるNチャネルMOSFETの場合、ゲート電極5に十分な不純物を入れても、ゲート絶縁膜直下の空乏層の厚さは1500~2000Å程度であるが、第1図に示す本実施例のように、第1絶縁膜を介してp型ポリシリコン膜4下層にA1膜2を形成した場合、空乏層の厚さは確実に素子部Sのp型ポリシリコン膜下面にまで達し、チャネルが形成される深さが深くなり、それによって移動度の上昇が図れる。

このように本実施例では、石英の基板1上にポリシリコン膜4を形成し、そのシリコン膜上にゲート電極5を配設して薄膜トランジスタを形

る。

第2図は第1図の構造を有するNチャネルMOSFETのゲート絶縁膜直下の深さ方向の電子エネルギーバンドを示す図であり、チャネルが形成されている場合を示している。

第2図において、8はゲート絶縁膜47中の電子のエネルギーバンドを示し、9はp型ポリシリコン膜4中の電子のエネルギーバンド、10はp型ポリシリコン膜下面の第1絶縁膜3中の電子のエネルギーバンド、11は第1絶縁膜3下面のA1膜2中の電子のエネルギーバンドをそれぞれ示す。また、12はチャネル部の電子である。

一方、第5図は第3図の構造を有するNチャネルMOSFETのゲート絶縁膜直下の深さ方向の電子のエネルギーを示す図で、第2図同様チャネルが形成されている場合を示している。

第2図から、第5図に示す従来例のポリシリコン膜22中の電子エネルギーバンドにおける等エネルギー線に比較して、p型ポリシリコン膜4中のチャネル直下の深さ方向の電子のエネルギーバ

成する薄膜トランジスタにおいて、基板1上にA1のメタル膜2を形成する工程と、該メタル膜上にSiO<sub>2</sub>の第1絶縁膜3を形成する工程と、該第1絶縁膜上にシリコン膜4を形成する工程を具備し、それによってポリシリコン膜4をパターニングしたA1のメタル膜2上の第1絶縁膜3上に形成する事により、チャネル直下の深さ方向の電子のエネルギーバンドの傾きを緩やかにでき、ポリシリコン膜4の深さの深い処までチャネルが延び、チャネルを流れる電荷の表面の散乱の影響を受けにくくなり、ポリシリコン膜4の深い処でも電流が流れるようにする事により高い移動度を有するMOSFETを得ることができる。

#### (へ) 発明の効果

以上のようにこの発明によれば、石英等の透明ガラス基板上にシリコン膜を形成し、そのシリコン膜上にゲート電極を配設して薄膜トランジスタを形成してなる半導体装置において、透明ガラス基板上にA1等のパターニングされた導電膜及び絶縁膜を順次形成し、その絶縁膜上にシリコ

ン膜を形成してトランジスタを形成する事により、ゲート絶縁膜直下の深さ方向の電子エネルギーバンドの勾配を緩やかにでき、チャネル電流が、散乱の影響が少ないシリコン膜の深い処でも流れるようにしてMOSFETの電界効果移動度を上昇できる効果がある。

#### 4. 図面の簡単な説明

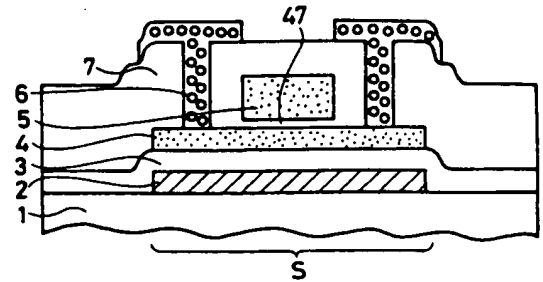
第1図はこの発明の一実施例を示す構成説明図、第2図は上記実施例におけるゲート絶縁膜直下の深さ方向のエネルギーバンド図、第3、4図は従来例を示す構成説明図、第5図は第3図で示す従来例のエネルギーバンド図である。

- 1……石英の透明ガラス基板、
- 2……Al膜（導電膜）、
- 3……SiO<sub>2</sub>膜（第1絶縁膜）、
- 4……p型ポリシリコン膜、
- 5……ゲート電極、6……配線部、
- 7……SiO<sub>2</sub>膜（第2絶縁膜）、
- 47……ゲート絶縁膜。

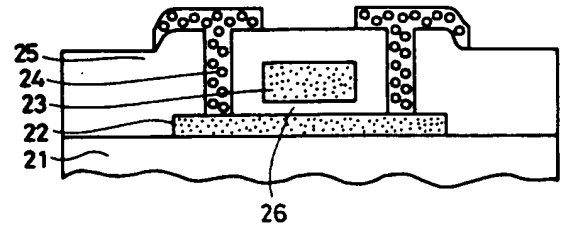
代理人 弁理士 野 河 信太郎



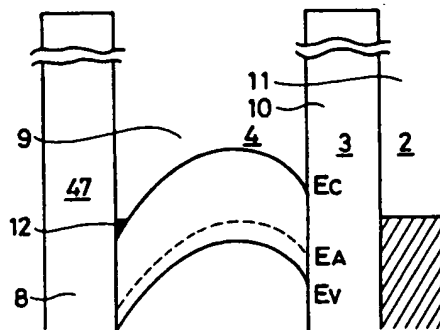
第1図



第3図



第2図



第5図

